

TUTORIAL 1

Gestione di periferiche di I/O su scheda XSA50

1 Introduzione

L'intento di questo tutorial è quello di illustrare un primo semplice esempio di creazione di un progetto per FPGA, familiarizzando un po' con il funzionamento del tool di sviluppo e con la scheda stessa.

1.1 Requisiti

I requisiti necessari per la prosecuzione sono principalmente due:

- dal punto di vista hardware, la scheda di sviluppo XSA50, da collegarsi opportunamente all'alimentazione con l'apposito alimentatore ed il cavo di collegamento alla parallela del PC;
- dal punto di vista software, il pacchetto Xilinx ISE 5.x che offre i tools di sviluppo ed il pacchetto XStool 4.02 per il download dei dati attraverso la parallela.

1.2 Specifiche

Il progetto che si vuole andare a realizzare è costituito dall'accensione di uno dei led di cui è composto il display a sette segmenti montato sulla scheda a seguito della pressione del tasto, anch'esso presente sulla board.

Si vuole, cioè, che quando il tasto è premuto il led sia acceso e viceversa quando il tasto non è premuto il led sia spento.

N.B. Nella successiva stesura dello schematico bisognerà tener conto che, secondo le specifiche della scheda, il tasto quando è premuto si trova nello stato basso. Per i led invece, sono accesi quando si trovano nello stato alto.

2 Il primo progetto

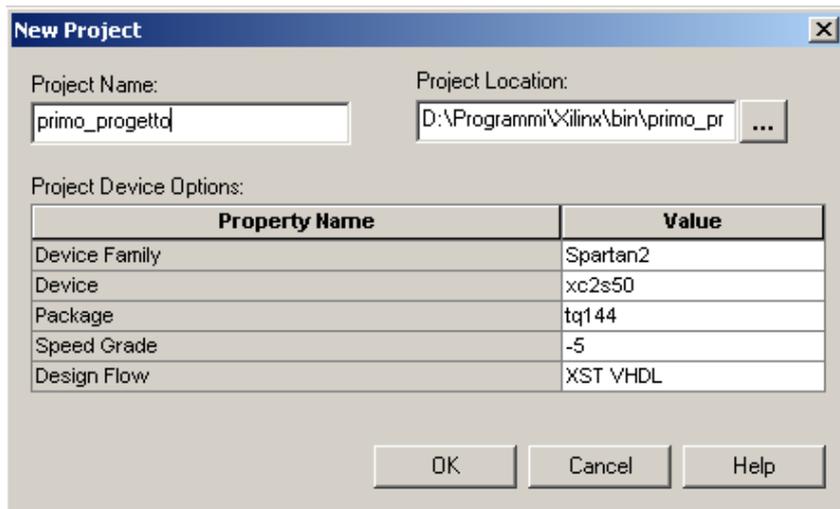
Si avvii l'ISE Webpack andando sul menu di avvio e cliccando su

Programmi -> Xilinx ISE 5.x -> Project Navigator

A questo punto bisogna creare un nuovo progetto selezionando

File -> New Project

Apparirà di conseguenza una nuova finestra in cui si setteranno le impostazioni della scheda come illustrato di seguito



e nel campo **Project Location** si scelga il path della cartella di destinazione del progetto e nel campo **Project Name** si inserisca il nome del progetto; questo automaticamente creerà una directory con quel nome sul percorso indicato.

Le sottostanti quattro voci si riferiscono al tipo di chip montato sulla board e pertanto le indicazioni si trovano stampate sulla FPGA stessa: in questo caso si ha a disposizione una Spartan 2, XC2S50 (che equivale a 50k gates), tq144 (equivalente a 144 pin), avente uno speed grade di -5 (sul chip è indicato come 5C ed è un numero che indica, come suggerisce il nome stesso, il ritardo di propagazione del segnale attraverso un singolo CLB).

Il Design Flow invece indica il linguaggio che verrà usato nel progetto; le scelte possibili sono quattro:

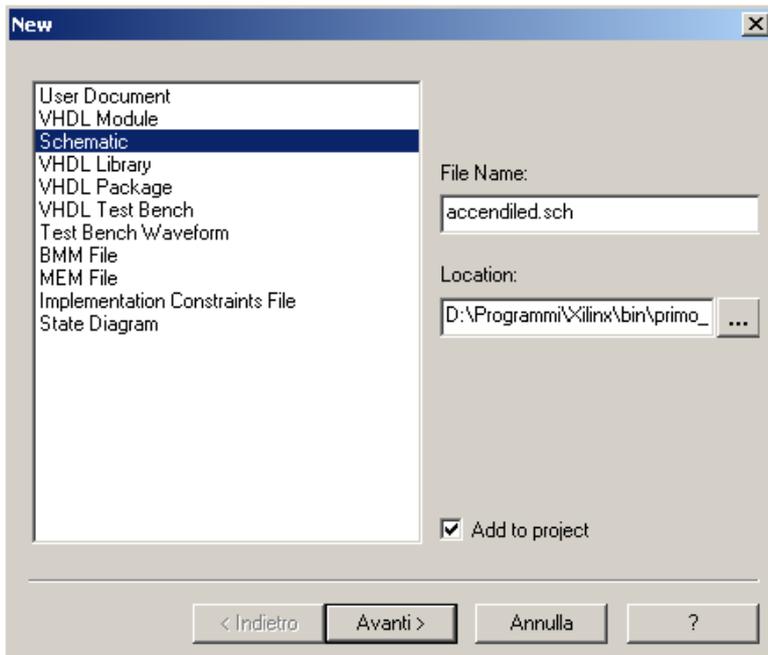
- Electronic Data Interchange Format (EDIF);
- Native Generic Object (NGO/NGC);
- Verilog
- VHDL

Per lo scopo di questo tutorial (e di quelli a venire), verrà utilizzato quest'ultimo.

Si preme quindi su **OK** e si tornerà sulla schermata principale.

A questo punto, nella sottofinestra denominata con **Sources in Projects** (Source Pane) compaiono due oggetti: il nome del progetto (in questo caso *primo_progetto*) ed il tipo di chip con le caratteristiche selezionate nella finestra precedente (in questo caso *xc2s50-5tq144 - XST VHDL*).

Si evidenzia quest'ultimo e si clicchi col tasto destro del mouse, selezionando **New Source** e di seguito il tipo di sorgente che si vuole aggiungere (nel nostro caso *Schematic*), indicando il nome dello schematico nel campo **File Name**



Confermando cliccando su **Avanti**> si ha un riassunto delle impostazioni appena scelte e cliccando su **Fine** si ritorna alla schermata principale, dove però ora nel Source pane compare anche il nome del file che conterrà lo schematico.

Si aprirà inoltre il tool Xilinx ECS pronto per la creazione dello schematico voluto.

Cliccando sulla voce **Symbols** a destra, compariranno tutti i simboli contenuti nelle librerie divisi per categoria.

Si selezionerà **Logic** e nel menu sottostante **inv**; a questo punto, se ci si sposta con il mouse nella finestra accanto, si vedrà che il puntatore è diventato un invertitore che si può posizionare dove si vuole cliccando nuovamente.

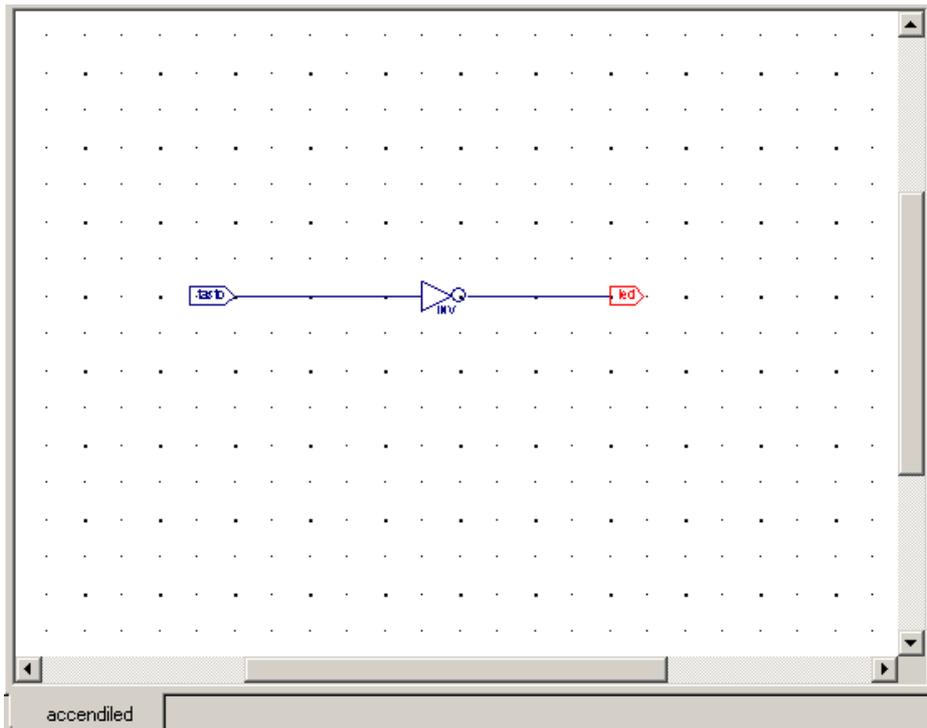
Se ora si clicca su  , si entra nella modalità select, in cui è possibile spostare gli oggetti appena posizionati sullo schematic editor a destra.

Cliccando invece su  , si possono aggiungere i fili di collegamento tra gli oggetti nello schematico. Da osservare che, per evitare un messaggio d'errore, non si possono collegare direttamente due oggetti se non tramite un filo.

Con il pulsante  , invece, si inseriscono le pad di I/O (Selezionando opportunamente sul menu che compare a sinistra **Add an input marker**, **Add an output marker** oppure **Add a bidirectional marker**), in cui ciascuna rappresenta un pin sulla scheda fisica (Per associare pad a pin bisogna creare un file di vincoli, ma si vedrà in seguito).

Cliccando due volte, nella modalità select sopra descritta, su un qualsiasi oggetto dello schematico, collegamenti compresi, è possibile vederne le proprietà. In questo modo si possono rinominare ad esempio le pad di I/O, in questo caso la pad di input come *tasto* e quella di output come *led* (Per le pad è possibile qui anche cambiarne la direzione).

Lo schematico infine dovrebbe apparire come segue



Una volta ultimato, cliccando su , si fa un controllo sulla correttezza dello schematico. Se vi è presente qualche errore, viene segnalato con un'opportuna didascalia e, cliccando sulla rispettiva voce, viene evidenziato l'errore sullo schematico.

Giunti a questo punto, si clicchi su  e si salva lo schematico appena creato. E' possibile quindi chiudere lo Xilinx ECS. E' possibile ritornarci cliccando due volte nel Source pane del Project Navigator sul nome del file contenente lo schematico desiderato.

N.B. Se non si salva il lavoro nello Xilinx ECS, qualsiasi modifica apportata non è ritenuta valida nel Project Navigator; ovvero quest'ultimo considera sempre l'ultima versione salvata per ciascun file, anche se non si è mai lasciata la sessione di lavoro corrente.

Si ritorni al Project Navigator, in cui, evidenziando il file di schematico appena creato, si può notare che nella finestra sottostante (Process pane) compaiono diverse voci che ricoprono i vari passi precedenti al download del progetto su FPGA:

- il processo di sintesi (**Synthesize**);
- i processi di traduzione, mappatura e posizionamento delle piste (sottovoci di **Implement Design**);
- il processo di creazione del bitstream da caricare sulla scheda (**Generate Programming File**).

Cliccando col tasto destro e selezionando **Properties** su una voce qualsiasi tra le precedenti, è possibile selezionarne le proprietà; in particolare, per il processo di sintesi ad esempio è possibile scegliere il tipo di ottimizzazione da perseguire (Di default si ottimizza per velocità).

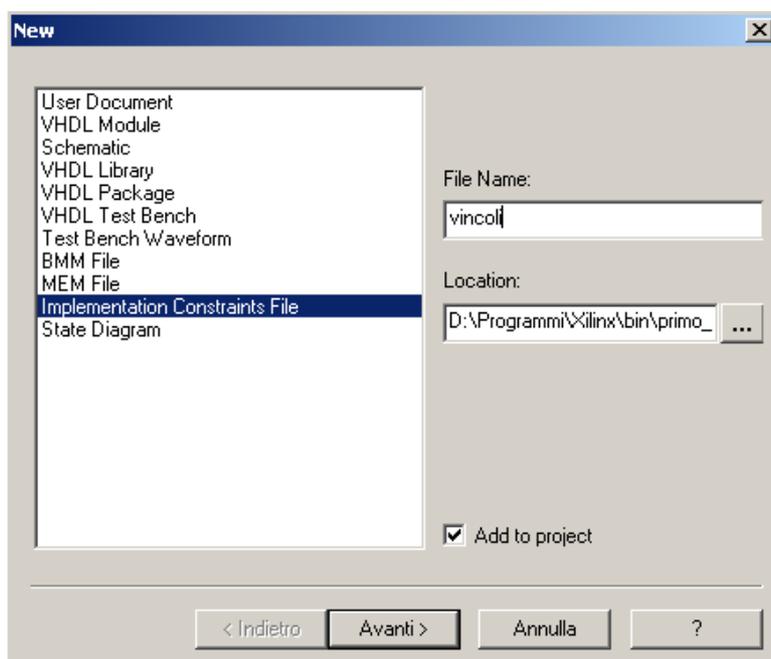
N.B. Nelle opzioni di sintesi assicurarsi che sia selezionata la voce **ADD I/O Buffers** (su **Syhtesize-> Properties-> Xilinx Specific Options** è di default), oppure metterli sullo schematico dopo la pad d'ingresso (Buffer di ingresso) e prima della pad d'uscita (Buffer d'uscita): essi vengono utilizzati per associare ad un blocco di I/O un segnale "interno" ad una pad di ingresso o uscita. Per non incorrere in errori è meglio, comunque, esplicitarli in fase di stesura dello schematico.

Si clicchi due volte sulla voce di **Syntesize** per iniziare il processo di sintesi, il cui termine viene tempestivamente indicato nel pannello di log nella finestra in basso del Project Navigator.

Cliccando sulla sottovoce **View Syntesize Report** è possibile vedere un report della sintesi appena conclusa, che evidenzia tra l'altro il numero ed il tipo di celle adoperate nonché i ritardi tra pad di ingresso e pad di uscita. In questo modo è anche possibile analizzare eventuali cause d'errore (Nel qual caso compare una **X** accanto al processo in corso)

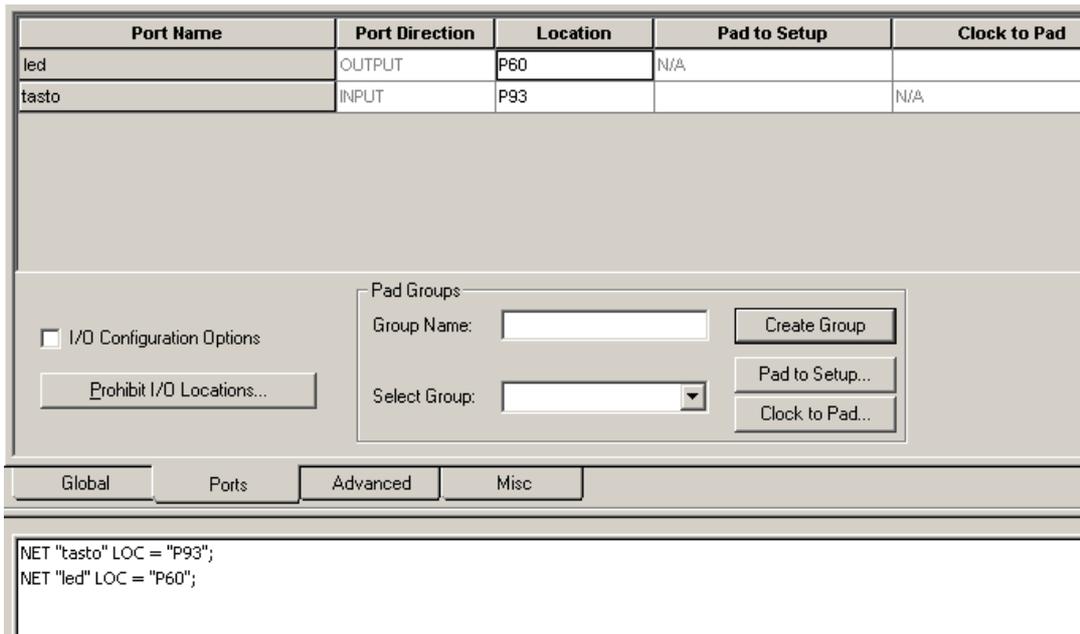
Ora bisogna associare ciascuna pad ad un pin fisico della FPGA montata sulla scheda.

Si evidenzia nuovamente il tipo di chip e col tasto destro si seleziona **New Source**, quindi **Implementation Constraints File** dando un nome al file (che verrà aggiunto nella cartella del progetto) e confermando con **Avanti>** **Avanti>** e **Fine**.



Viene creato di conseguenza il file vincoli.ucf che viene aggiunto al progetto. Cliccandoci sopra due volte si apra il tool Xilinx Constraints Editor.

A questo punto cliccando su **Ports** si vedranno le pad presenti nello schematico e nella colonna **Locations**, per ciascuna riga, si andranno ad inserire i rispettivi pin associati nella scheda (I valori si prendano dalla tabella dei pin contenuta nel pdf delle specifiche della scheda);



in questo caso si è scelto il led centrale del display (P60).

Da osservare che nella parte sottostante i vincoli inseriti come wizard vengono tradotti nel linguaggio appropriato per un opportuno file con estensione .ucf.

Si salvi il file  e si esca dal tool.

Da notare che comunque è possibile in qualsiasi momento modificare le assegnazioni cliccando due volte sul nome del file .ucf presente nel Project Navigator oppure agendo via testo aprendo il file stesso con un editor.

A questo punto, cliccando due volte su **Implement Design** si dà il via ai processi di traduzione, mappatura e posizionamento delle piste. E' anche possibile cliccare due volte voce per voce, in modo da controllarne l'esecuzione passo passo.

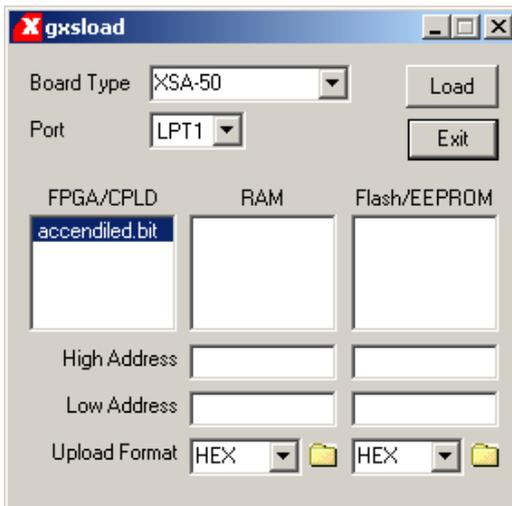
Per ciascun processo, si può vedere il relativo report. In più ora è possibile utilizzare dei tool per visualizzare le celle occupate nella scheda e quali collegamenti sono stati fatti (Tramite il Xilinx Floorplanner, cliccando su **View/Edit Placed Design in Place&Route**).

Infine si clicchi su **Generate Programming File** per ottenere il bitstream voluto, ossia il file che contiene la sequenza di istruzioni per programmare la FPGA.

A questo punto si può chiudere il tool **Project Navigator** e si passa al download del bitstream generato sulla FPGA.

3 Download sulla scheda

Si lanci il programma **GXSLOAD**, uno dei tools di XStool, e si trascini col mouse il file .bit presente nella cartella del progetto creato in **FPGA/CPLD**



Si colleghi opportunamente la scheda alla porta parallela del PC tramite il cavo in dotazione e si alimenti la scheda tramite un alimentatore a 9V con polarità positiva al centro del connettore, quindi si può effettuare il download cliccando su **LOAD**.

Al termine del caricamento, se tutto è andato per il meglio, si potrà testare il progetto.

N.B. E' possibile che dopo il download su scheda alcuni led siano già accesi: questo è dovuto al fatto che non essendo inizializzati nel progetto, vengano inizializzati automaticamente dalla scheda. Quindi può essere che alcuni led siano accesi, ma questo è influente ai fini del progetto.